

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 693 839

②1 N° d' nregistrement national :

92 08844

⑤1 Int Cl^s : H 01 L 21/331, 20/73

①2 *IHP 135*

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 17.07.92.

③0 Priorité :

⑦1 Demandeur(s) : Société dite: THOMSON-CSF — FR.

⑦2 Inventeur(s) : Tyc Stéphane.

④3 Date de la mise à disposition du public de la
demande : 21.01.94 Bulletin 94/03.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : Se reporter à la fin du
présent fascicule.

⑥0 Références à d'autres documents nationaux
apparentés :

⑦3 Titulaire(s) :

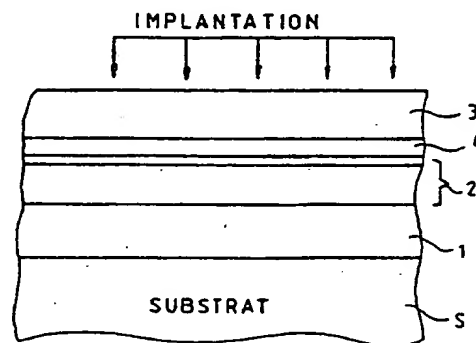
⑦4 Mandataire : Lardic René.

⑤4 Procédé de réalisation d'un transistor bipolaire.

⑤7 Procédé de réalisation d'un transistor bipolaire com-
portant une étape permettant de réaliser une couche (4)
barrière filtrante (épaisseur 5 à 100 nm par exemple) entre
l'émetteur (3) et la base (2). Cette étape est réalisée par
implantation ionique et permet d'obtenir un transistor dont
les couches sont toutes en matériau semiconducteur mo-
nocristallin.

Une réalisation préférentielle est un transistor en silicium
dont la couche barrière filtrante (4) est en SiC.

Applications: Transistors bipolaires à hétérojonctions.



FR 2 693 839 - A1



1

PROCEDE DE REALISATION D'UN TRANSISTOR BIPOLAIRE

L'invention concerne un procédé de réalisation d'un transistor bipolaire à hétérojonction et notamment un procédé de réalisation d'un transistor possédant une barrière entre l'émetteur et la base.

5 Les transistors bipolaires à hétérojonction (TBH) sont des composants très prometteurs. Ils incorporent un matériau à grand gap dans l'émetteur afin d'injecter des électrons dans la base tout en bloquant l'émission des trous de la base vers l'émetteur. Ils permettent ainsi de doper la base beaucoup plus que l'émetteur sans détériorer le gain.

10 Le blocage de l'émission des porteurs majoritaires, dont nous supposons pour plus de simplicité que ce sont des trous, depuis la base dans l'émetteur, peut aussi être fait avec une barrière sélective (filtre) qui laisse passer les électrons et non les trous tel que cela est décrit par Xu and Shur, IEEE EDL-7, 416 (1986). Cela présente des avantages de facilité de réalisation technologique ainsi que de directivité d'émission qui permet une réduction des dimensions latérales plus grandes (Levi et al., APL 54, 2250 (1989)).

15 L'idée d'intercaler un filtre entre l'émetteur et la base a été également utilisée sur silicium avec un émetteur polycristallin déposé sur une fine couche de silice comme décrit par de Graaff et al., IEEE 1978 IEDM tech. Dig., p. 333.

20 Toutefois, les méthodes utilisées pour fabriquer des TBH en silicium se heurtent à certaines difficultés de mise en oeuvre. On peut citer deux exemples de difficultés :

25 1) Les TBH tels que décrits par de Graaf et développés actuellement (voir Kim et al. Appl. Phys. Lett. 60, 437 (1991) pour une étude de l'effet de la barrière tunnel), présentent un émetteur qui est trop dopé pour tirer avantage du design
30 classique des TBH.

2) Les TBH avec émetteur en SiC polycristallin (développés par Sugii et al. IEDM 1989, 27.6.1) ont des températures d'épitaxie pour le dépôt de poly SiC (au moins 1000°C) qui ne sont pas compatibles avec les bases extrêmement fines des composants rapides (problème de diffusion de dopant). Ils ont également le problème des émetteurs trop fortement dopés pour pouvoir augmenter le dopage de base autant qu'il faudrait.

Le problème des forts dopages semble inhérent aux émetteurs polycristallins car il est nécessaire de fortement doper ces émetteurs pour masquer l'éventuelle activité électrique des défauts (joints de grain, dislocations...) et pour leur conférer une conductivité suffisante. Or, pour faire des TBH performants, on ne peut pas doper à la fois la base et l'émetteur à forts niveaux (on créerait des diodes tunnel avec des caractéristiques d'injection indésirables).

On peut constater qu'il n'existe pas actuellement de TBH silicium fabriqué avec un émetteur monocristallin de bonne qualité et qui serait nettement moins dopé que la base. Un des principaux intérêts de l'invention est de palier ce manque.

Des techniques permettant d'implanter une barrière isolante épaisse dans une couche monocristalline ont également été démontrées. Ces techniques ont donné lieu à un vaste domaine que l'on appelle le SOI (silicon on insulator). Une des techniques les plus fructueuses pour fabriquer du SOI est l'implantation d'oxygène avec précipitation de silice (SIMOX). Cependant ces implantations se faisaient selon de grandes épaisseurs

Mais ces structures n'ont jamais été utilisées pour un transport perpendiculaire aux couches.

L'invention concerne un procédé de réalisation de barrières qui agissent comme filtre sélectif entre électrons et trous, tout en préservant la qualité cristalline de l'émetteur et de la base ou du collecteur.

L'invention a plusieurs intérêts :

- remplacer la fonction du grand gap dans l'émetteur

par un filtre ;

- fabriquer ce filtre sans détériorer les qualités cristallines du semiconducteur.

5 Il y a un énorme intérêt dans la fabrication de TBH sur silicium. Les voies généralement explorées sont les émetteurs à grand gap polycristallin ou amorphe (SiC et polysilicium en particulier), ou bien il est également prévu de faire la base en SiGe.

10 Nous proposons de faire des TBH avec un filtre placé dans l'émetteur tout proche de la base ou à la jonction émetteur/base, comme indiqué sur la figure 1.

15 La figure 1 schématise une coupe perpendiculaire au plan des couches de la structure d'un TBH. L'invention porte essentiellement sur l'obtention et l'utilisation d'une telle structure. La technologie permettant d'obtenir un TBH à partir d'une structure telle que décrite sur la figure 1 pourra être choisie parmi les solutions existantes et connues de l'homme de l'art.

20 L'invention concerne donc un procédé de réalisation d'un transistor bipolaire à hétérojonction, caractérisé en ce qu'il comporte les étapes suivantes :

- réalisation sur un substrat semiconducteur, des couches suivantes :

25 . couche de collecteur d'un premier matériau semiconducteur dopé d'un premier type (n par exemple) ;

. couche de base d'un deuxième matériau semiconducteur dopé d'un deuxième type (p par exemple) ;

. couche d'émetteur d'un troisième matériau semiconducteur dopé du premier type (n) ;

30 - implantation ionique à l'interface de la couche d'émetteur et de la couche de base de particules formant avec le semiconducteur de l'une des couches d'émetteur ou de base une couche barrière filtrante.

Les dopages qui caractérisent les couches de base, d'émetteur ou de collecteur peuvent être faits au choix avant ou

après l'implantation du filtre. Ce choix sera fait suivant des considérations de facilité de mise en oeuvre ou de fonctionnalité du composant final.

L'invention concerne également un transistor réalisé selon le procédé précédent, caractérisé en ce qu'il comporte :

- 5 - un collecteur en matériau semiconducteur monocristallin dopé d'un premier type (n par exemple) ;
- une base du même matériau semiconducteur monocristallin dopé d'un deuxième type (p^+ par exemple) ;
- 10 - un émetteur en même matériau semiconducteur monocristallin dopé du premier type (n par exemple) ;
- une couche barrière filtrante située sensiblement à l'interface de la base et de l'émetteur.

Les différents objets et caractéristiques de l'invention apparaîtront dans la description qui va suivre et dans les figures annexées qui représentent :

- 15 - la figure 1, un exemple de structure selon l'invention à réaliser ;
- la figure 2, un exemple de procédé de réalisation selon l'invention ;
- 20 - les figures 3a à 3d, un autre exemple de procédé de réalisation selon l'invention ;
- les figures 4a à 4c et 5a à 5c, des variantes du procédé de réalisation selon l'invention.

La structure de la figure 1 comporte sur un substrat S, une couche 1 en matériau semiconducteur Sm_1 dopé d'un premier type n (ou p). Cette couche servira de collecteur pour le transistor. Sur cette couche 1 se trouve une couche 2 en matériau semiconducteur Sm_2 dopé d'un deuxième type p (ou n). Sur cette couche 2 se trouve une couche 3 en matériau semiconducteur Sm_3 dopé du premier type n (ou p).

30 Selon l'invention on prévoit une couche barrière 4 servant de filtre comme cela est décrit précédemment.

La couche barrière 4 étant susceptible de générer des recombinaisons électrons-trous dont l'effet peut être de

diminuer l'effet transistor, on peut prévoir de doper du premier type n la couche 2 dans une zone 5, à l'interface couche 2-barrière 4.

Enfin des contacts sont réalisés sur les couches de collecteur, de base et d'émetteur tel que le contact 7 de la
5 couche d'émetteur.

Les matériaux semiconducteurs Sm_1 , Sm_2 et Sm_3 peuvent être de types différents.

A titre d'exemple, les épaisseurs des différentes couches peuvent être les suivantes :

10 $0,5 \text{ nm} \leq d_1 \leq 150 \text{ nm}$

$0 \text{ nm} \leq d_2 \leq 50 \text{ nm}$

20 $\text{nm} \leq d_3 \leq 500 \text{ nm}$

Le procédé selon l'invention (figure 2) prévoit de réaliser successivement sur le substrat S les différentes
15 couches 1, 2, 3. Ces couches sont, par exemple, réalisées par un procédé d'épitaxie.

Ensuite on procède à une implantation ionique d'un matériau permettant de réaliser à l'interface des couches 2 et 3 une couche barrière isolante 4. L'épaisseur de cette couche est
20 de 0,5 nm à 50 nm. Le taux d'implantation de la couche barrière sera de préférence supérieur à 30 %, par exemple 40 % environ.

On va maintenant décrire l'invention en vue de la réalisation d'un transistor dans lequel le collecteur, la base et l'émetteur sont en un même matériau semiconducteur.

25 Selon un premier exemple de réalisation du procédé de l'invention représenté par les figures 3a à 3d on réalise dans un matériau semiconducteur de type n monocristallin S une implantation ionique (figure 3a) de façon à réaliser une barrière filtre 4 de très faible épaisseur telle que représentée
30 figure 3b.

Ensuite, on réalise (figure 3c) la base et le sous-collecteur par implantation (sous-collecteur de type n^+ et base de type p^+). L'émetteur est alors réalisé soit par reprise d'épitaxie, soit par implantation, soit par diffusion soit *par*

toute autre méthode connue. On obtient ainsi la structure de la figure 3d.

Selon un deuxième procédé de l'invention représenté par les figures 4a à 4c, on réalise les couches suivantes :

- couche de sous-collecteur dopée n^+
- 5 - une couche de collecteur dopée n
- couche de base dopée p^+ .

On a donc la structure de la figure 4a. Sur cette structure on réalise une implantation (figure 4b) de façon à obtenir le filtre (figure 4c). On réalise ensuite l'émetteur par l'une des méthodes citées précédemment (implantation, diffusion, reprise d'épitaxie, etc...).

Selon un troisième procédé de l'invention représenté par les figures 5a à 5c on réalise une structure inverse à celles décrites précédemment.

15 Selon la figure 5a, une couche d'émetteur dopée n est d'abord réalisée et une implantation est effectuée dans cette couche pour obtenir un filtre 4 (voir figure 5b). Ensuite, par reprises d'épitaxies on réalise la base dopée p^+ et le collecteur dopé n/n^+ .

20 L'invention est applicable à la réalisation de transistors en matériaux semiconducteurs de tous types. Elle trouve cependant une application préférentielle à la réalisation de transistors en silicium monocristallin. L'invention concerne donc également des transistors tels que représentés en figures 1 ou 5c dans lesquels :

- 25 - le collecteur 1 est en silicium monocristallin dopé n/n^+ ;
 - la base 2 est en silicium monocristallin dopé p^+ ;
 - l'émetteur 3 est en silicium monocristallin dopé n
- 30 et dans lesquels un filtre d'épaisseur très mince (ou couche barrière filtrante) a été réalisé entre la base 2 et l'émetteur 3.

Si les couches 1, 2 et 3 sont du silicium, le matériau implanté peut être du carbone et il y a formation de SiC. Grâce

à l'alignement de bande favorable entre le Si et le SiC cubique, il n'est pas nécessaire de faire une barrière tunnel et une épaisseur de 5 à 100 nm convient.

On peut réaliser, par exemple, l'implantation de carbone à environ 10 kilo Volts avec une fluence de quelques 10^{-17} cm^{-2} .

5
10

15

20

25

30

REVENDICATIONS

1. Procédé de réalisation d'un transistor bipolaire, caractérisé en ce qu'il comporte les étapes suivantes :

- réalisation sur un substrat semiconducteur, des couches suivantes :

5 . couche de collecteur (1) d'un premier matériau semiconducteur dopé d'un premier type (n par exemple) ;

. couche de base (2) d'un deuxième matériau semiconducteur dopé d'un deuxième type (p par exemple) ;

. couche d'émetteur (3) d'un troisième matériau semiconducteur dopé du premier type (n) ;

10 - implantation ionique sensiblement à l'interface de la couche d'émetteur (3) et de la couche de base (2) de particules formant avec le semiconducteur de l'une des couches d'émetteur ou de base une couche barrière filtrante (4).

15 2. Procédé selon la revendication 1, caractérisé en ce que l'implantation se fait dans la couche d'émetteur (3).

3. Procédé selon la revendication 1, caractérisé en ce que l'implantation se fait dans la couche de base (2).

4. Procédé selon la revendication 1, caractérisé en ce que l'ordre des différentes étapes est le suivant :

20 a) réalisation d'une couche d'un matériau semiconducteur (S) ;

b) implantation dans cette couche de la couche de barrière filtrante (4) ;

25 c) dopage, sous la couche de barrière filtrante (4), de la couche (1) de collecteur (type n) et de la couche (2) de base (type p^+) ;

d) réalisation, au-dessus de la couche de barrière filtrante (4) de la couche d'émetteur par implantation, diffusion ou par reprise d'épithaxie.

30 5. Procédé selon la revendication 1, caractérisé en ce que l'ordre des différentes étapes est le suivant :

a) réalisation des couches de collecteur (1) et de base (2) ;

b) implantation de la couche barrière filtrante (4) ;

c) réalisation, au-dessus de la couche barrière filtrante (4) de la couche d'émetteur, par implantation, diffusion, ou reprise d'épitaixie.

6. Procédé selon la revendication 1, caractérisé en ce que l'ordre des différentes étapes est le suivant :

~~a) réalisation de la couche d'émetteur (3) ;~~

b) implantation de la couche barrière filtrante (4) ;

c) réalisation par reprise d'épitaixie des couches de base (2) et de collecteur (1).

7. Procédé selon la revendication 1, caractérisé en ce que le matériau semiconducteur implanté est du silicium et que les particules implantées pour faire la couche barrière filtrante sont du carbone et qu'elles forment des précipités de SiC.

8. Procédé selon la revendication 1, caractérisé en ce que l'épaisseur de la couche barrière filtrante (4) est de 0,5 nm à 150 nm et son taux d'implantation est supérieur à 30 % d'atomes implantés.

9. Transistor réalisé selon le procédé de l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte :

- un collecteur (1) en matériau semiconducteur monocristallin dopé d'un premier type (n^+ par exemple) ;

- une base (2) du même matériau semiconducteur monocristallin dopé d'un deuxième type (p^+ par exemple) ;

- un émetteur (3) en même matériau semiconducteur monocristallin dopé du premier type (n par exemple) ;

- une couche barrière filtrante située sensiblement à l'interface de la base et de l'émetteur.

10. Transistor selon la revendication 9, caractérisé en ce que le matériau semiconducteur monocristallin est du GaAs.

11. Transistor selon la revendication 9, caractérisé

en ce que le matériau semiconducteur monocristallin est du silicium et la couche barrière filtrante est du SiC.

5

10

15

20

25

30

2/4

IMPLANTATION

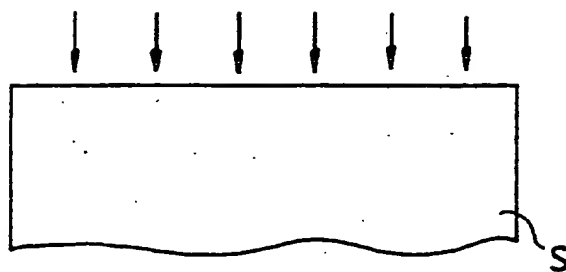


FIG.3a

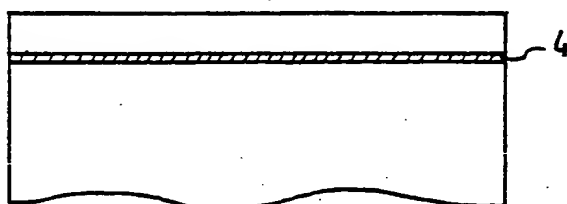


FIG.3b

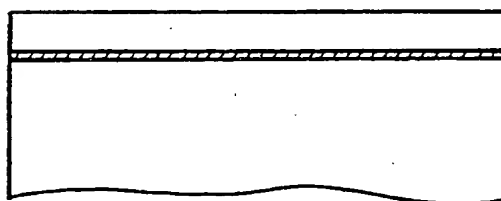


FIG.3c

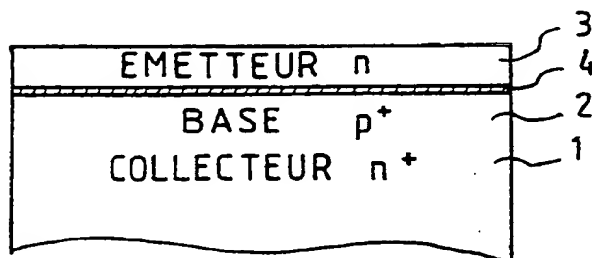


FIG.3d

en ce que le matériau semiconducteur monocristallin est du silicium et la couche barrière filtrante est du SiC.

5

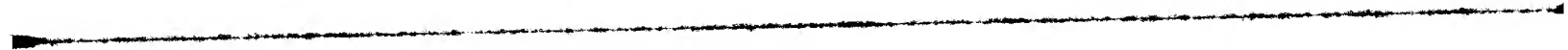
10

15

20

25

30



1/4

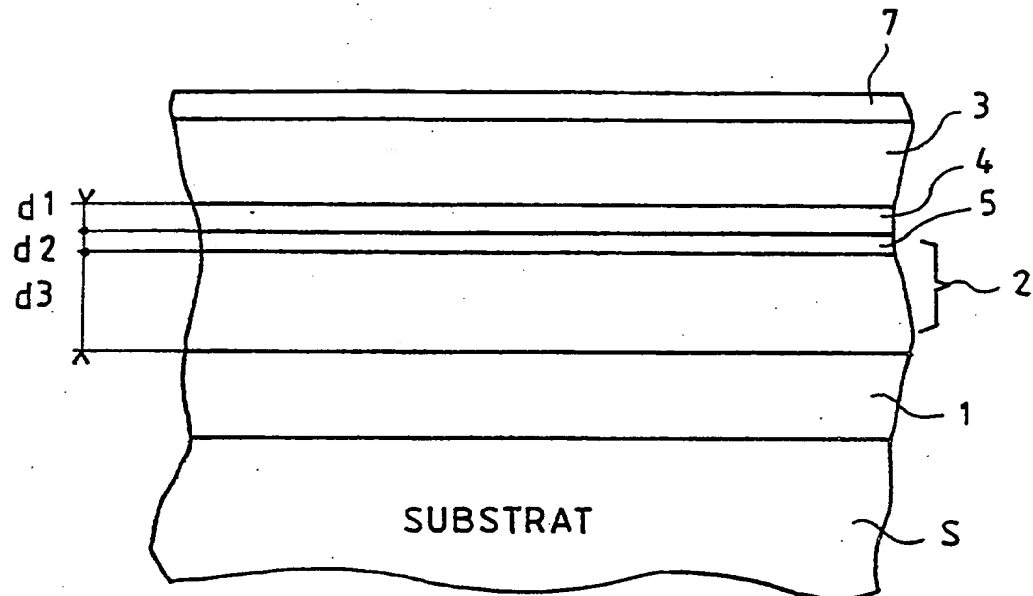


FIG.1

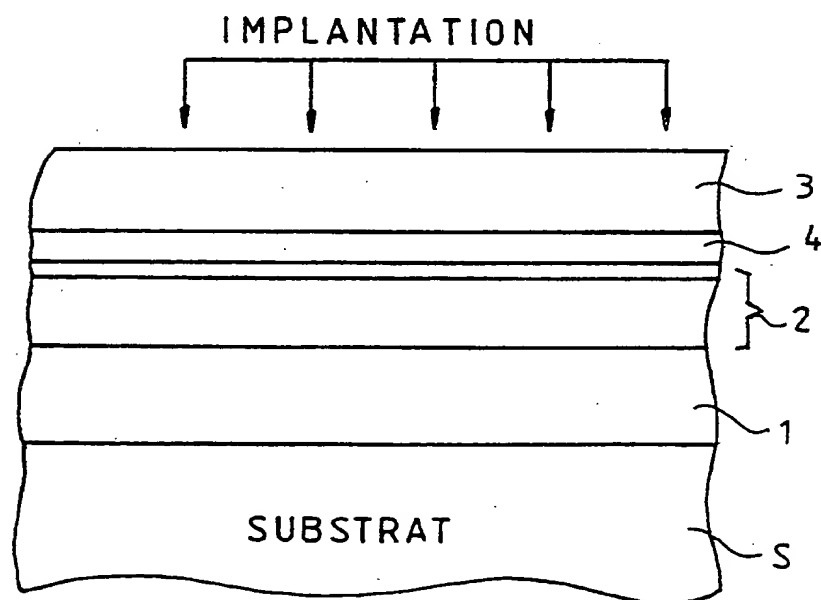


FIG.2

2/4

IMPLANTATION

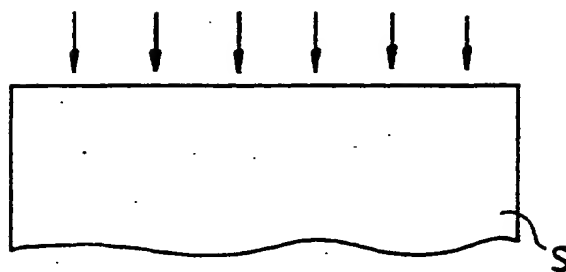


FIG.3a

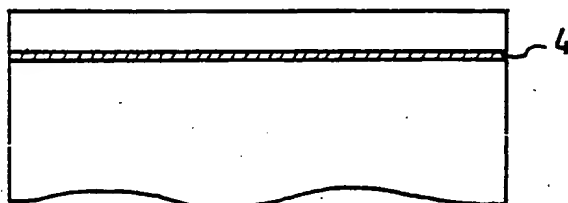


FIG.3b

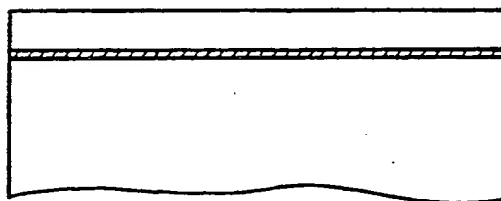


FIG.3c

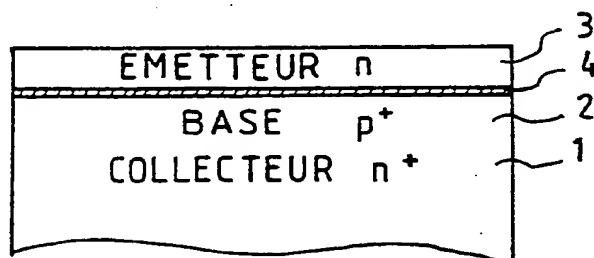


FIG.3d

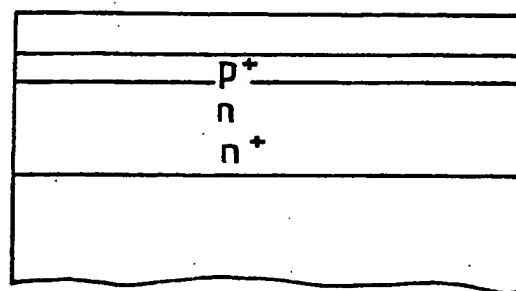


FIG. 4a

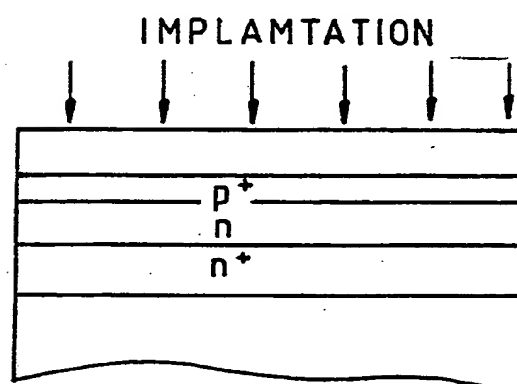


FIG. 4b

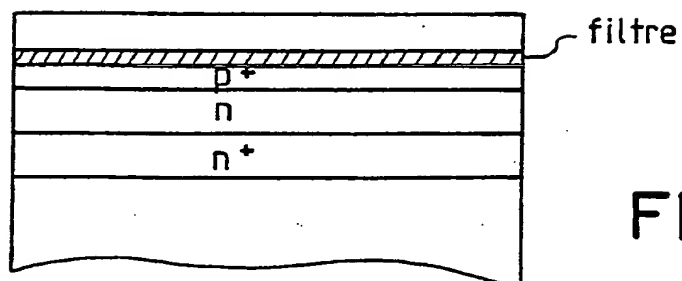


FIG. 4c

4/4

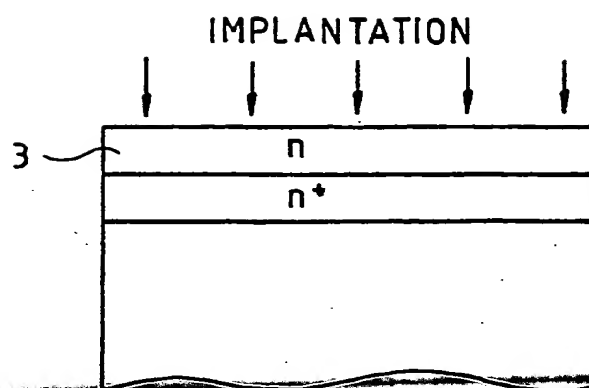


FIG.5a

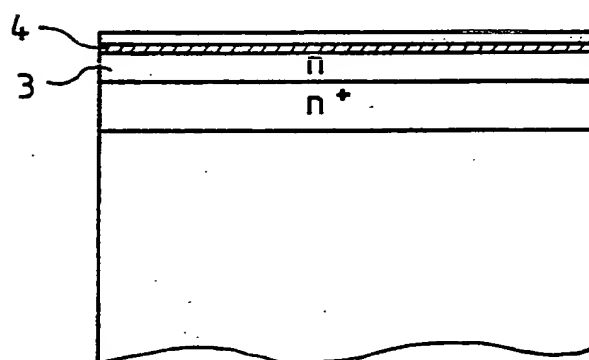


FIG.5b

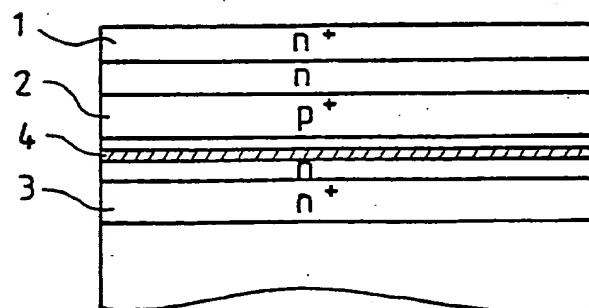


FIG.5c

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FR 9208844
FA 477869

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	US-A-4 983 534 (K. KIKUTA) * colonne 3, ligne 7 - colonne 4, ligne 53; figure 1 *	1,2,9
A	EP-A-0 322 960 (LABORATOIRE D'ELECTRONIQUE ET DE PHYSIQUE APPLIQUEE L.E.P.) * revendications; figures 1,2 *	1
A	EXTENDED ABSTRACTS OF THE 22ND 1990 CONFERENCE ON SOLID STATE AND MATERIALS 1990, SENDAI JA pages 817 - 820 T. SUGII ET AL. 'PROCESS TECHNOLOGIES FOR ADVANCED Si BIPOLAR DEVICES' * le document en entier *	1
A	PROCEEDINGS OF THE 1991 BIPOLAR CIRCUITS AND TECHNOLOGY MEETING 9 Septembre 1991, MINNEAPOLIS T. YAMAZAKI ET AL. 'HIGH-SPEED Si HETERO-BIPOLAR TRANSISTOR WITH A SiC WIDE-GAP EMITTER AND AN ULTRATHIN HEAVILY DOPED PHOTOEPITAXIALLY GROWN BASE' * le document en entier *	1
A,D	IEEE ELECTRON DEVICE LETTERS vol. EDL-7, no. 7, Juillet 1986, NEW YORK pages 416 - 418 J. XU ET AL. 'A TUNNELING EMITTER BIPOLAR TRANSISTOR'	1
A	JOURNAL OF THE ELECTROCHEMICAL SOCIETY vol. 136, no. 10, Octobre 1989, MANCHESTER, NEW HAMPSHIRE US pages 3111 - 3115 T. SUGII ET AL. 'POLYCRYSTALLINE SiC FOR A WIDE- BANDGAP EMITTER OF Si-HBTs'	
Date d'achèvement de la recherche 12 MARS 1993		Examinateur VISENTIN A.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

